

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年10月31日

出願番号  
Application Number: 特願2002-317287

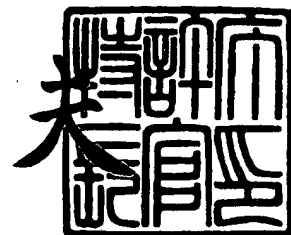
ST. 10/C]: [JP2002-317287]

願人  
Applicant(s): 株式会社アドバンテスト

2004年 4月16日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 ADV0210928

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 G01R

【発明者】

    【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン  
                                テスト内

    【氏名】 福島 健太郎

【特許出願人】

    【識別番号】 390005175

    【氏名又は名称】 株式会社アドバンテスト

【代理人】

    【識別番号】 100066153

    【弁理士】

    【氏名又は名称】 草野 卓

【選任した代理人】

    【識別番号】 100100642

    【弁理士】

    【氏名又は名称】 稲垣 稔

【手数料の表示】

    【予納台帳番号】 002897

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9718552

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 被測定デバイス搭載ボード及びそれを具備した I C 試験装置のデバイスインタフェース部

【特許請求の範囲】

【請求項 1】 I C 試験装置において被測定デバイスを搭載するために使用されるボードであって、

多層プリント配線板構造を有し、

内層配線パターンの両端のいずれか一方がスルーホールと接続され、残る他方が S V H (Surface Buried Via Hole) と接続され、

それら接続された S V H、内層配線パターン及びスルーホールによって表裏両面間の配線が構成されていることを特徴とする被測定デバイス搭載ボード。

【請求項 2】 テストヘッド上に搭載されて被測定デバイスとテストヘッドとのインタフェースを構成する I C 試験装置のデバイスインタフェース部において、

被測定デバイスが搭載される多層プリント配線板構造を有する被測定デバイス搭載ボードが、その内層配線パターンの両端のいずれか一方がスルーホールと接続され、残る他方が S V H (Surface Buried Via Hole) と接続されているものとされ、

それら接続された S V H、内層配線パターン及びスルーホールによって被測定デバイス搭載ボードの表裏両面間の配線が構成されていることを特徴とする I C 試験装置のデバイスインタフェース部。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は I C 試験装置に関し、特にパフォーマンスボードやソケットボードと一般に称され、被測定デバイス (D U T : device under test) を搭載するために使用されている被測定デバイス搭載ボードの構造に関する。

【 0 0 0 2 】

【従来の技術】

図5はIC試験装置の一構成の概要を示したものであり、まず図5を参照してIC試験装置の構成を簡単に説明する。

IC試験装置は大別してメインフレーム1とテストヘッド2とデバイスインタフェース部(DUTインタフェース部)3とよりなり、メインフレーム1とテストヘッド2とはケーブル4によって接続され、デバイスインタフェース部3はテストヘッド2上に搭載されてテストヘッド2と接続されている。

#### 【0003】

デバイスインタフェース部3はこの例では基板11と多数(例えば、数千本)のケーブル12とを備えたマザーボード(マザーボードユニット)10と、一般にパフォーマンスボードと称される被測定デバイス搭載ボード20と、ICソケット30とよりなり、基板11はその裏面にテストヘッド2との接続用のコネクタ(図示せず)を具備している。

ケーブル12はその下端が基板11に半田付けされて接続されており、上端はコネクタ等(図示せず)を介して被測定デバイス搭載ボード20に接続されている。被測定デバイス搭載ボード20上にはこの例ではICソケット30が1つ実装されている。図5中、40はICソケット30に装着された被測定デバイス(被測定IC)を示す。また、13はケーブル12を覆うカバーを示す。

#### 【0004】

図6は上記のような構成を有するIC試験装置における被測定デバイス搭載ボード20の従来の構成及び被測定デバイス搭載ボード20に対する被測定デバイス40とコネクタ(ケーブル12上端のコネクタ)15との接続関係を模式的に示したものであり、ICソケット30の図示は省略している。

被測定デバイス搭載ボード20は多層プリント配線板構造を有するものとされ、その表面及び裏面には所要の電極パッド21, 22がそれぞれ被測定デバイス40接続用及びコネクタ15接続用として形成されている。

#### 【0005】

表裏面の対応する電極パッド21と22とは、電極パッド21, 22部分にスルーホール23がそれぞれ形成され、それらスルーホール23が内層配線パターン24によって接続されることにより互いに接続されており、即ち従来の被測定

デバイス搭載ボード 2 0 は電極パッド 2 1, 2 2 と内層配線パターン 2 4 との接続にスルーホール 2 3 を用いるといった多層プリント配線板構造を採用していた（例えば、非特許文献 1 参照）。なお、図 6 中、矢印は電気信号の流れを示す。

#### 【 0 0 0 6 】

##### 【非特許文献 1】

高木 清著、「ビルドアップ多層プリント配線板技術」、日刊工業新聞社、2 0 0 0 年 6 月 2 0 日、p. 7 - 8

#### 【 0 0 0 7 】

##### 【発明が解決しようとする課題】

ところで、I C 試験装置においては試験の高速化が図られ、被測定デバイスの高速試験において例えば 4 G b p s といった高速信号が使用される状況になってきている。

このような信号の高速化に伴い、図 6 に示したような構造を有する従来の被測定デバイス搭載ボード 2 0 ではスルーホール 2 3 周りの設計が反射や帯域遮断の面で影響を及ぼすようになってきた。

#### 【 0 0 0 8 】

即ち、図 6 中に点線で囲んで示したように、スルーホール 2 3 におけるスタブ部分（ここでは伝送線路として不要な部分をスタブ部分と言う。）2 5 が大きい（長い）ため、このスタブ部分 2 5 の容量が問題となり、波形歪みや容量性反射が発生し、これにより信号品質（波形品質）が損われ、信号の高速化に対応できないといった問題が従来の被測定デバイス搭載ボード 2 0 で顕在化してきた。

この発明の目的はこの問題に鑑み、スタブ容量を削減し、高速信号に対応できるようにした被測定デバイス搭載ボードを提供することにある、さらにその被測定デバイス搭載ボードを具備した I C 試験装置のデバイスインタフェース部を提供することにある。

#### 【 0 0 0 9 】

##### 【課題を解決するための手段】

請求項 1 の発明によれば、I C 試験装置において被測定デバイスを搭載するために使用される被測定デバイス搭載ボードは、多層プリント配線板構造を有し、

内層配線パターンの両端のいずれか一方がスルーホールと接続され、残る他方が S V H (Surface Buried Via Hole) と接続され、それら接続された S V H、内層配線パターン及びスルーホールによって表裏両面間の配線が構成されているものとされる。

#### 【 0 0 1 0 】

請求項 2 の発明によれば、テストヘッド上に搭載されて被測定デバイスとテストヘッドとのインタフェースを構成する I C 試験装置のデバイスインタフェース部において、被測定デバイスが搭載される多層プリント配線板構造を有する被測定デバイス搭載ボードが、その内層配線パターンの両端のいずれか一方がスルーホールと接続され、残る他方が S V H (Surface Buried Via Hole) と接続されているものとされ、それら接続された S V H、内層配線パターン及びスルーホールによって被測定デバイス搭載ボードの表裏両面間の配線が構成されているものとされる。

#### 【 0 0 1 1 】

##### 【発明の実施の形態】

この発明の実施の形態を図面を参照して実施例により説明する。

図 1 はこの発明による被測定デバイス搭載ボードの一実施例を模式的に示したものであり、図 6 と対応する部分には同一符号を付し、その詳細な説明を省略する。

この例では多層プリント配線板構造を有する被測定デバイス搭載ボード 5 0 は、その表裏面の電極パッド 2 1、2 2 と内層配線パターン 2 4 との接続に、スルーホール 2 3 と S V H (Surface Buried Via Hole) 5 1 とを用いるものとされる。

#### 【 0 0 1 2 】

各内層配線パターン 2 4 の両端は、そのいずれか一方がスルーホール 2 3 と接続され、残る他方が S V H 5 1 と接続されており、これら接続された S V H 5 1、内層配線パターン 2 4 及びスルーホール 2 3 によって表裏面の対応する電極パッド 2 1、2 2 間の配線が構成されている。

図 1 では内層配線パターン 2 4 を模式的に 3 本示しているが、このうち 2 本は

被測定デバイス 4 0 接続用の電極パッド 2 1 部分に S V H 5 1 が形成されたものとなっており、残る 1 本はコネクタ 1 5 接続用の電極パッド 2 2 部分に S V H 5 1 が形成されたものとなっている。内層配線パターン 2 4 の両端のいずれの側に S V H 5 1 を設けるかは、例えば内層配線パターン 2 4 の配線位置や被測定デバイス 4 0 接続側の電極パッド 2 1 のピッチ等を考慮して適宜選定される。

#### 【0 0 1 3】

上記のような構成を有する被測定デバイス搭載ボード 5 0 によれば、内層配線パターン 2 4 の両端のいずれか一方に S V H 5 1 を採用したことにより、図 6 に示した従来の被測定デバイス搭載ボード 2 0 に比し、S V H 5 1 を用いた分、スタブ部分 2 5 の長さを短くすることができ、よってスタブ部分 2 5 の容量を減らすことができるため、信号の高速化に対応することができるものとなる。

なお、図 1 に示したような構成を有する被測定デバイス搭載ボード 5 0 は S V H 5 1 を構成するためのバイアホール（ビアホール）を形成した 2 枚の配線板（基板）を貼り合わせ、その後、それらに所要のスルーホール 2 3 を形成することによって製造される。図 1 中、二点鎖線は貼り合わせ部（貼り合わせ面） 5 2 を示す。

#### 【0 0 1 4】

図 2 はこの発明による被測定デバイス搭載ボードの他の実施例として、内層配線パターン 2 4 の一部に例えば抵抗素子等を実装する必要がある、内層配線パターン 2 4 の途中に S V H 5 1 を設けた例を示したものである。図 2 中、5 3 は抵抗素子等の素子を示す。素子 5 3 は S V H 5 1 が形成された一対の電極パッド 5 4 に実装されている。

この図 2 に示したような被測定デバイス搭載ボード 5 5 も要求される仕様に依りて用いられる。なお、この被測定デバイス搭載ボード 5 5 は上述した被測定デバイス搭載ボード 5 0 の製造方法と同様の製造方法によって製造することができる。

#### 【0 0 1 5】

図 3 は図 1 及び 2 に示した被測定デバイス搭載ボード 5 0, 5 5 の構造と異なり、S V H 5 1 を構成するためのバイアホールが形成された 2 枚の配線板の間に

第 3 の配線板を介在させ、それら 3 枚の配線板を貼り合わせた構造の被測定デバイス搭載ボード 5 6 を示したものであり、このような構造を採用すれば図 1 に示した被測定デバイス搭載ボード 5 0 に比し、さらにスタブ部分 2 5 の容量を削減することができる。

上述した被測定デバイス搭載ボード 5 0, 5 5 及び 5 6 は図 5 に示した I C 試験装置のデバイスインタフェース部 3 においてパフォーマンスボードと称されて用いられるものであるが、デバイスインタフェース部 3 の構成はこの図 5 に示した構成に限らず、I C 試験装置の仕様・用途により他の構成を採用しているものもある。

#### 【 0 0 1 6 】

図 4 A, B はそのようなデバイスインタフェース部 3 の他の構成例をテストヘッド 2 と共に示したものであり、以下、これらの構成を簡単に説明する。

図 4 A ではデバイスインタフェース部 3 はパフォーマンスボード 6 0 と、図 5 と同様の多数のケーブル 1 2 と、一般にソケットボードと称される複数の被測定デバイス搭載ボード 5 7 と、I C ソケット 3 0 とよりなる。

パフォーマンスボード 6 0 はその裏面にテストヘッド 2 との接続用のコネクタ (図示せず) を具備しており、テストヘッド 2 とコネクタ接続されてテストヘッド 2 上に搭載されている。この例ではパフォーマンスボードと称されるボードの位置は図 5 と異なっている。

#### 【 0 0 1 7 】

ケーブル 1 2 はその下端及び上端がパフォーマンスボード 6 0 及び被測定デバイス搭載ボード 5 7 にそれぞれ半田付けされて接続されており、各被測定デバイス搭載ボード 5 7 上には I C ソケット 3 0 が実装されている。被測定デバイス搭載ボード 5 7 の数は図 4 A では簡略化しているが、例えば 1 6 個や 3 2 個とされる。

一方、図 4 B ではデバイスインタフェース部 3 は多数のケーブル 1 2 よりなるマザーボード (マザーボードユニット) 7 0 と、図 4 A と同様、ソケットボードと称される複数の被測定デバイス搭載ボード 5 7 と、それら被測定デバイス搭載ボード 5 7 にそれぞれ実装された I C ソケット 3 0 とよりなる。



**【0018】**

この例ではケーブル 12 はその下端及び上端にコネクタ（図示せず）をそれぞれ具備するものとされ、下端がテストヘッド 2 に直接コネクタ接続され、上端が被測定デバイス搭載ボード 57 にコネクタ接続されるものとなっている。

図 1 乃至 3 に示したようなこの発明による被測定デバイス搭載ボードの構造は、これら図 4 A, B に示したデバイスインタフェース部 3 の、一般にソケットボードと称される被測定デバイス搭載ボード 57 にも同様に適用することができ、これにより高速信号に対応できるものとなる。

**【0019】****【発明の効果】**

以上説明したように、この発明による被測定デバイス搭載ボードによれば、スルーホール部分のスタブ容量を削減することができ、よって高速信号に対応可能な被測定デバイス搭載ボードを得ることができる。

また、そのような被測定デバイス搭載ボードを IC 試験装置のデバイスインタフェース部が具備することにより、高速信号においても良好な波形品質が得られ、高速試験を実行できるものとなる。

**【図面の簡単な説明】****【図 1】**

この発明による被測定デバイス搭載ボードの第 1 の実施例を説明するための図

。

**【図 2】**

この発明による被測定デバイス搭載ボードの第 2 の実施例を説明するための図

。

**【図 3】**

この発明による被測定デバイス搭載ボードの第 3 の実施例を説明するための図

。

**【図 4】**

IC 試験装置のデバイスインタフェース部の各種構成例を説明するための図。

**【図 5】**

I C 試験装置の全体構成を説明するための図。

【図 6】

被測定デバイス搭載ボードの従来構造を説明するための図。

【書類名】

図面

【図 1】

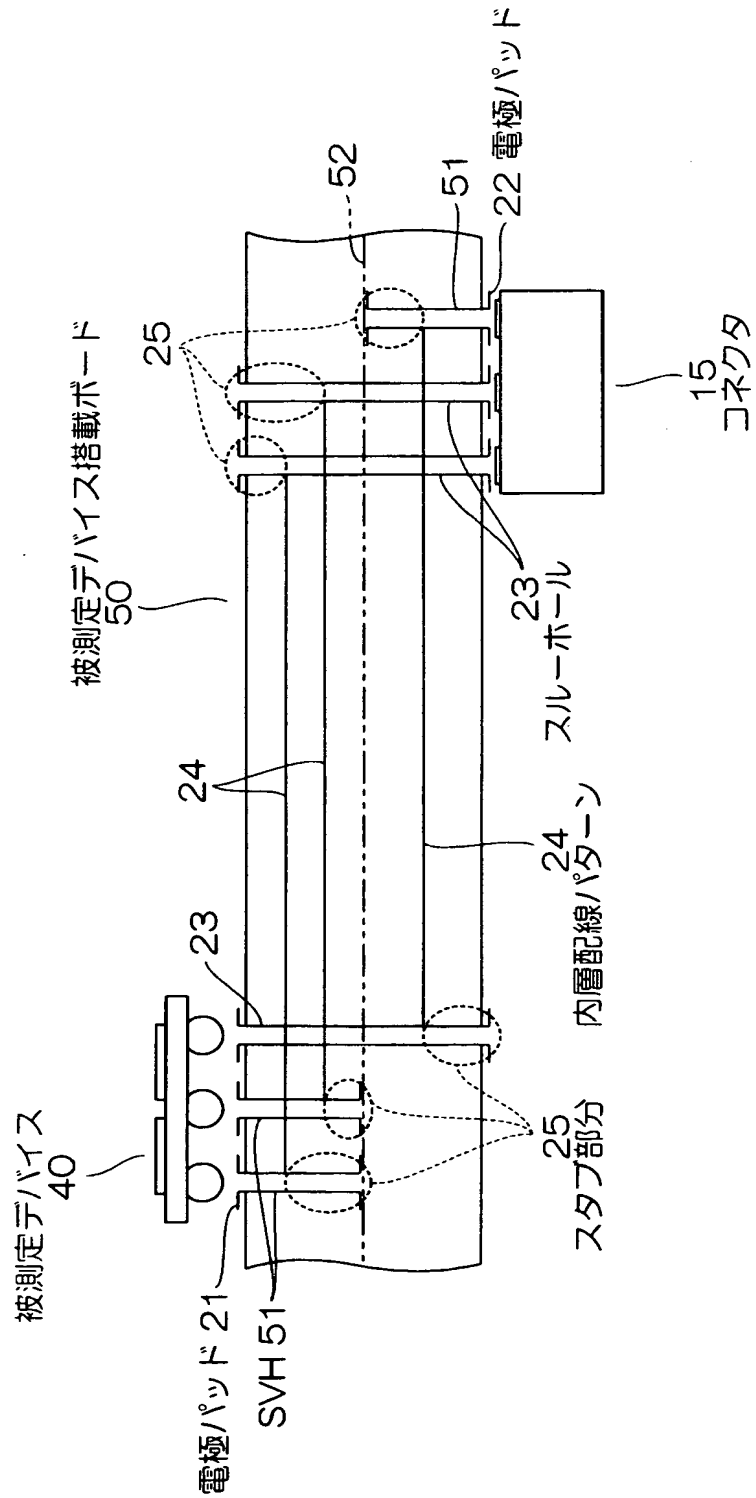


図 1

【図 2】

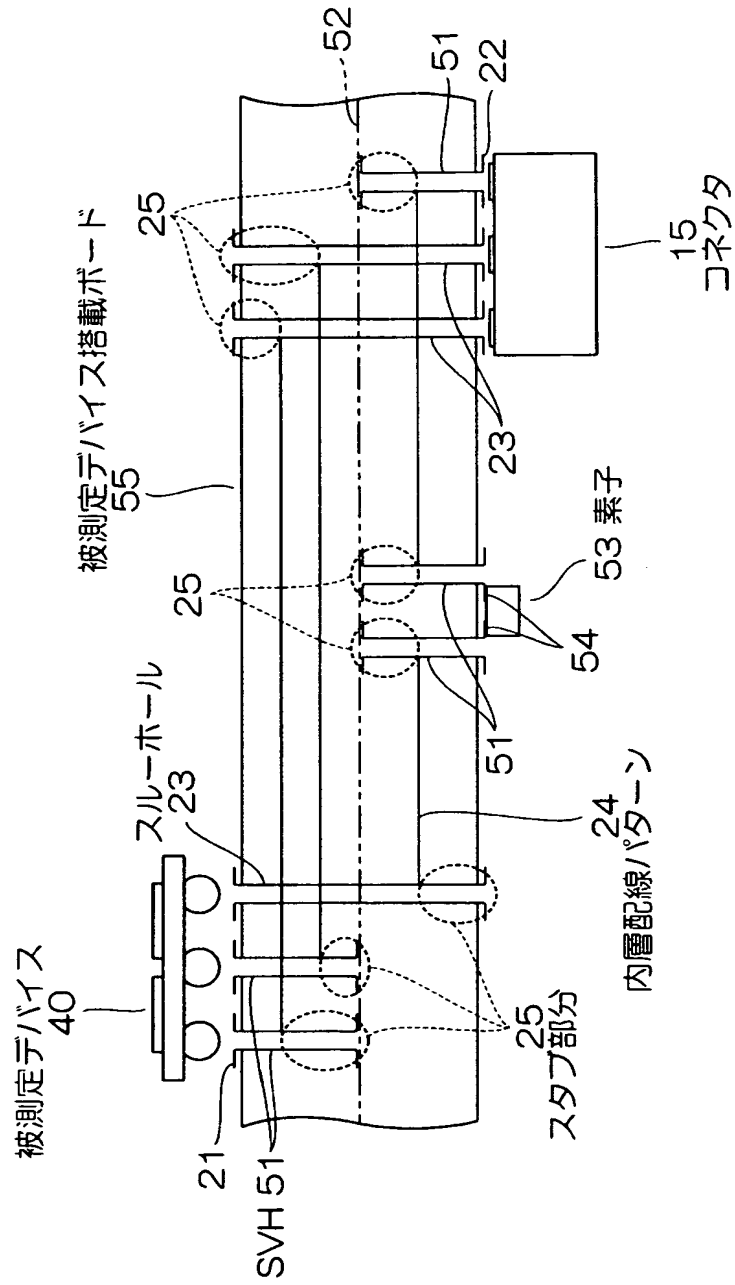


図 2

【図 3】

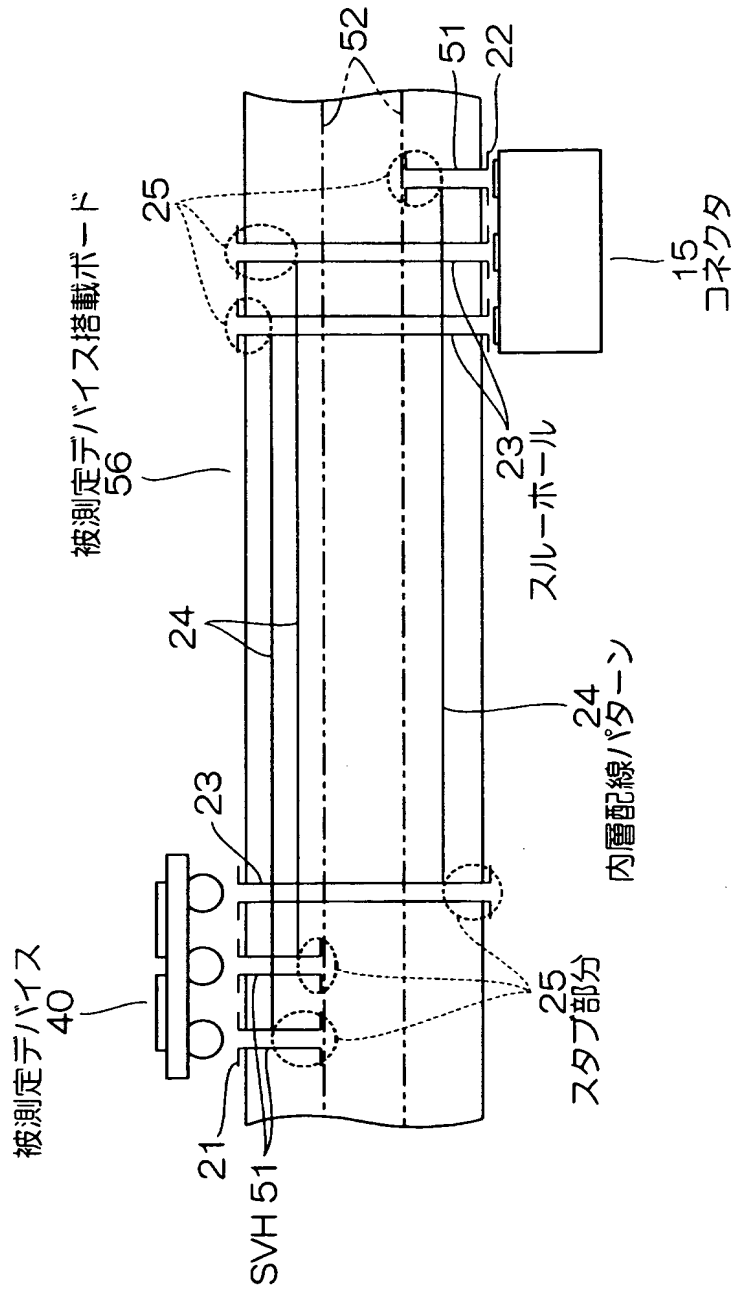
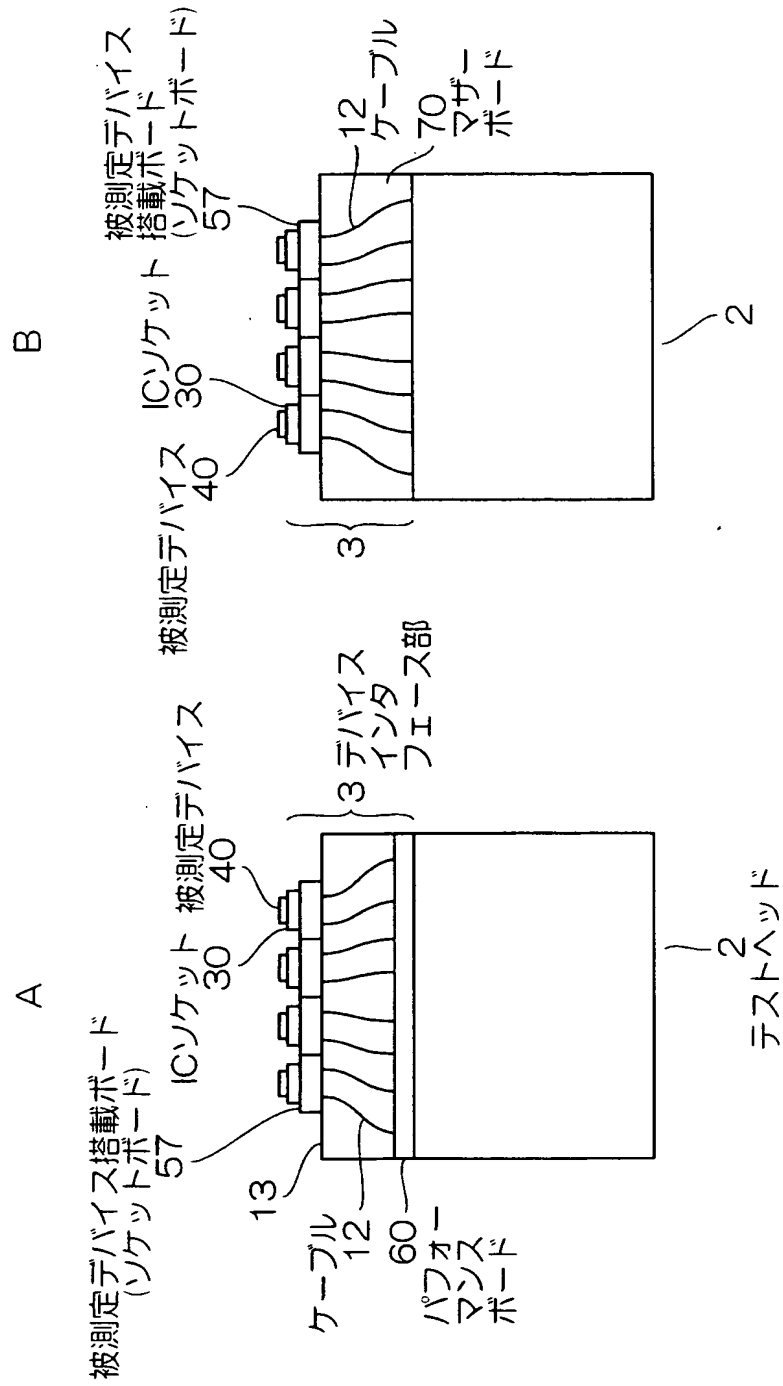


図 3

【図 4】



【図 5】

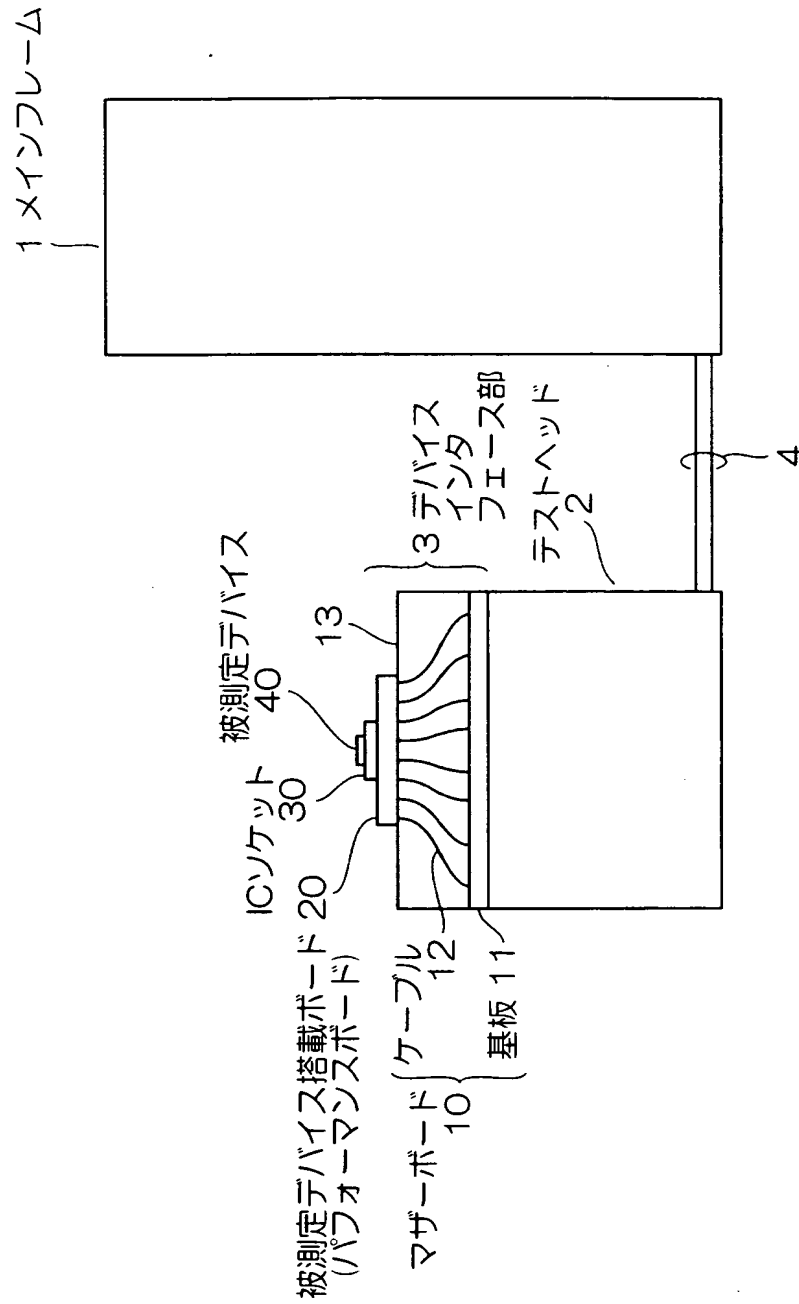


図5

【図 6】

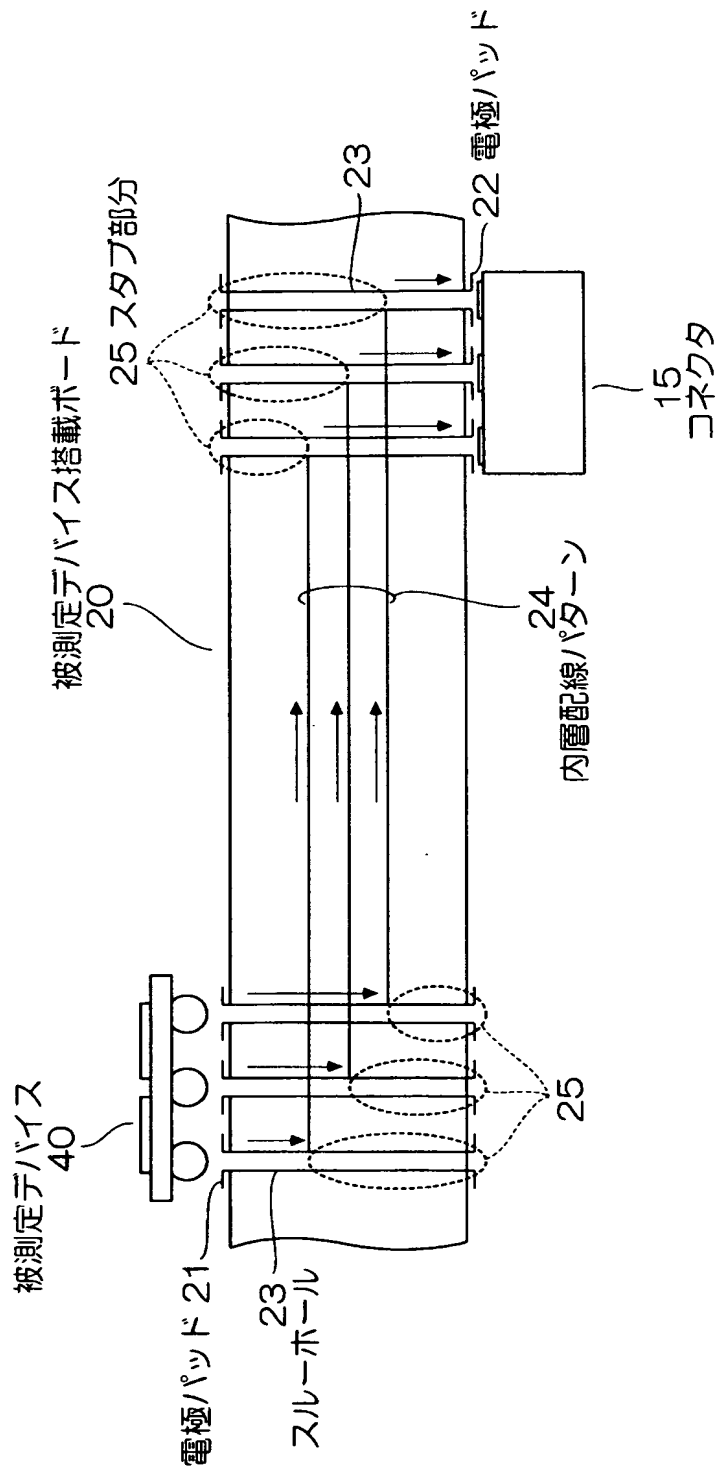


図6



【書類名】 要約書

【要約】

【課題】 高速信号に対応可能とする。

【解決手段】 I C 試験装置において被測定デバイスを搭載するために使用される多層プリント配線板構造を有する被測定デバイス搭載ボードにおいて、内層配線パターン 2 4 の両端のいずれか一方をスルーホール 2 3 と接続し、残る他方を S V H (Surface Buried Via Hole) 5 1 と接続して、それら接続された S V H 5 1、内層配線パターン 2 4 及びスルーホール 2 3 によって表裏両面間の配線を構成する。表裏面の電極パッド 2 1, 2 2 と内層配線パターン 2 4 との接続に両方ともスルーホール 2 3 を用いる従来構造に比し、スタブ部分 2 5 の長さを短くでき、スタブ容量を削減することができる。

【選択図】 図 1

特願 2 0 0 2 - 3 1 7 2 8 7

出 願 人 履 歴 情 報

識別番号

[ 3 9 0 0 0 5 1 7 5 ]

1. 変更年月日

1 9 9 0 年 1 0 月 1 5 日

[変更理由]

新規登録

住 所

東京都練馬区旭町 1 丁目 3 2 番 1 号

氏 名

株式会社アドバンテスト